

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043590

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H01L 31/02  
G03F 9/00  
H01L 21/3065

(21)Application number : 2000-221799

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 24.07.2000

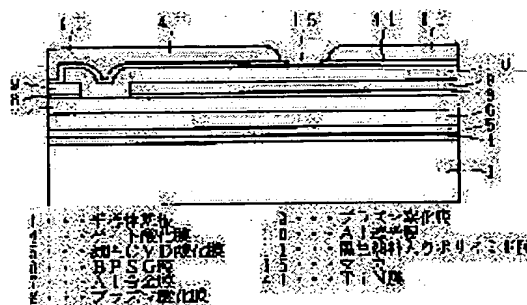
(72)Inventor : UEMATSU TAKAHIKO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which an aligning marker is formed in an accurate dimension and a method for manufacturing the same.

**SOLUTION:** The method for manufacturing the semiconductor device comprises the steps of coating a TiN film 41 of an antireflection film on an Al shielding film 10, forming a black dye-filled polyimide film 11 thereon, opening the film 11 on a position for forming the marker 15, and thereafter opening the film 41 by anisotropically etching. Thus, the marker 15 is formed on the film 41 by anisotropically etching to obtain the marker having a small dimensional unevenness.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号  
**特開2002-43590**  
(P 2002-43590 A)  
(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int. Cl. <sup>7</sup>

識別記号

F I

テマコード (参考)

H01L 31/02

G03F 9/00

H 5F004

G03F 9/00

H01L 31/02

B 5F088

H01L 21/3065

21/302

J

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2000-221799 (P 2000-221799)

(22) 出願日 平成12年7月24日 (2000.7.24)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 植松 隆彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

Fターム(参考) 5F004 DA00 DA04 DA18 DA26 DB12

DB13 EA33 EB08

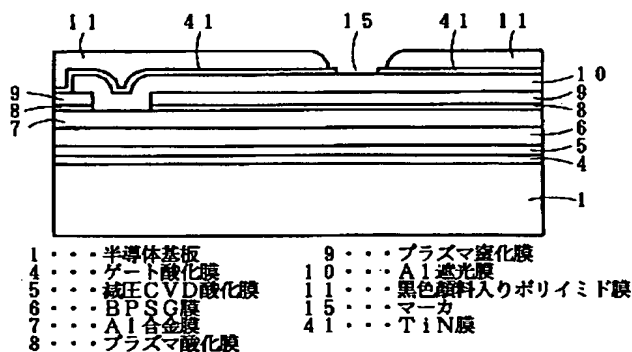
5F088 BA18 BA20 HA03 HA10 HA20

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 高精度の寸法で位置合わせマーカが形成された半導体装置およびその製造方法を提供すること。

【解決手段】 A1遮光膜10上に反射防止膜であるTiN膜41を被覆し、その上に黒色染料入りポリイミド膜11を形成し、マーカ15を形成する箇所上の黒色染料入りポリイミド膜11を開口し、その後、TiN膜41を異方性エッチングで開口する。異方性エッチングでTiN膜41にマーカ15を形成することで寸法ばらつきが少ないマーカが得られる。



## 【特許請求の範囲】

【請求項1】光センサの受光部を形成した半導体基板と、該半導体基板上に形成した絶縁膜と、該絶縁膜上に形成した遮光膜と、該遮光膜上に形成した反射防止膜と、該反射防止膜上に形成した光を吸収するポリイミド膜と、前記受光部以外の箇所の前記ポリイミド膜に形成される第1開口部と、前記第1開口部の下の反射防止膜に形成される第2開口部とを具備し、該第2開口部が前記基板を取り付けるケースとの位置合わせマーカとなることを特徴とする半導体装置。

【請求項2】前記反射防止膜が、窒化チタン膜もしくは酸化銅膜であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記遮光膜が、A1膜もしくはA1合金膜で形成されることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記光を吸収するポリイミド膜が黒色顔料入りポリイミド膜であることを特徴とする請求項1に記載の半導体装置。

【請求項5】半導体基板に受光部を形成する工程と、該半導体基板上に絶縁膜を形成する工程と、該絶縁膜上に遮光膜を形成する工程と、該遮光膜上に反射防止膜を形成する工程と、該反射防止膜上に光を吸収するポリイミド膜を形成する工程と、前記受光部上の前記ポリイミド膜、前記反射防止膜および前記遮光膜をそれぞれを貫通して開口する工程と、前記受光部以外の箇所の前記ポリイミド膜を開口する工程と、前記ポリイミド膜開口部下の反射防止膜を貫通して開口し、ケースとの位置合わせマーカを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】前記反射防止膜を、前記ポリイミド膜上に形成したレジストをマスクとして、異方性エッチングで開口することを特徴とする請求項5に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、オートフォーカス・モジュールなどの半導体装置およびその製造方法に関する。

【0002】

【従来の技術】オートフォーカス・モジュールにおいて、可視光ノイズが光センサ部に入射することによる測定距離性能の低下を防ぐための層として、黒色顔料入りポリイミドが使用されている。図21は、従来の半導体装置の要部断面図である。この図はオートフォーカス・モジュールのセンサー部の要部断面図である。

【0003】半導体基板1の表面層にp型ウエル層2を形成し、このp型ウエル層2の表面層にn'層3を形成する。このp型ウエル層2とn'層3で形成されるpnダイオードがオートフォーカス・モジュールの光センサ

部となる。この光センサ部を形成した半導体基板上に、図示しない他の箇所に形成されるMOSトランジスタのゲート酸化膜4を形成し、このゲート酸化膜4上に減圧CVD酸化膜5、BPSG膜6を積層し、その上に、光センサ部上が開口されるように、選択的に、配線用のA1合金膜7を形成する。その上に、プラズマ酸化膜8とプラズマ窒化膜9を積層し、接続孔31を形成し、A1遮光膜10を形成する。このA1遮光膜10は配線も兼ねる場合もある。

10 【0004】その上に、黒色顔料入りポリイミド膜11を形成し、光センサ部上の黒色顔料入りポリイミド膜11を開口し、このとき、レンズ付きケース17（18はレンズ）との位置合わせマーカ16も形成する。その上にクリアモールド樹脂13を被覆する。このクリアモールド樹脂13で被覆された光センサ部が形成されたチップ（半導体基板1）が、レンズ付きケース17に収納されて、オートフォーカス・モジュールが完成する。尚、レンズ付きケース17とチップとの位置合わせは、図示しないレンズ付きケース17に形成したマーカとチップ側に形成されたマーカ16とを合わせることで行う。また、図中の19は空隙である。

20 【0005】つぎに、図21の半導体装置のさらに具体的な製造方法について説明する。シリコン基板1にpn接合のフォトダイオード（光センサ部）となる、拡散深さ3.5μmのpウエル層2、n'層3を形成する。つぎに、図示しないMOSトランジスタを形成する際のゲート酸化膜4上に、減圧CVD法により形成した減圧CVD酸化膜5、BPSG（Boro Phospho Silicate Glass）膜6を順次形成し、シリコン基板1とのコンタクト（図示せず）を開口する。

30 【0006】つぎに、配線層となるA1合金膜7を形成し、配線パターンを形成後、プラズマ酸化膜8、プラズマ窒化膜9をそれぞれ、プラズマCVD法により形成する。つぎに、遮光層となるA1遮光膜10を形成し、A1遮光膜10のパターンを形成後、黒色顔料入りポリイミド膜11を塗布し、フォトダイオードとなるpn接合の上方に開口部12を形成する。

40 【0007】つぎに、ダイシングしてチップ状態にし、透明なクリアモールド樹脂13でモールドする。最後に、このモールドしたチップと光学系（レンズ付きケース17）を組み合わせる。前記の黒色顔料入りポリイミド膜11の働きをつぎに説明する。レンズ18およびクリア・モールド樹脂13を透過した可視光は、A1遮光膜10で反射し、この反射光はクリア・モールド樹脂と外部との界面で反射する。この反射光が、光センサ部に導入されると好ましくない。

50 【0008】黒色顔料入りポリイミド膜11は、この可視光を吸収するので、前記の光センサ部に反射光や、迷光、乱光の可視光ノイズが導入されるのを防いでいる。また、この黒色顔料入りポリイミド膜は、特開平4-2

06874で開示されているように、固体撮像素子でも乱光や迷光を吸収するために用いられている。

【0009】

【発明が解決しようとする課題】図2.2は、黒色顔料入りポリイミド膜11に位置合わせマーカ16を形成する様子を示す図である。このマーカ16は、光センサ部や接続孔31部以外の任意の箇所に形成して構わない。図2.2において、黒色顔料入りポリイミド膜11のパターンを形成するため、ポジ型レジスト21を塗布した後、現像液で露光された部分のレジストを溶解して、レジストパターンを形成する。このとき、アルカリ性の現像液で、黒色顔料入りポリイミド膜11も露光部のレジスト21と共に溶解される。

【0010】ところで、この黒色顔料入りポリイミド膜11は、シクロヘキサノン(cyclohexanone)の溶媒に、N-メチル-2-ピロリドン(N-methyl-2-pyrrolidone)のイミド系化合物と、黒色顔料である金属錯体化合物を混合したものである。一方、ポリイミドと黒色顔料を均一に混合させるためには、黒色顔料入りポリイミドに、密着増強剤を加えることは、均一な混合の妨げになるために、難しい。そのため、下地膜であるA1遮光膜10との密着性を上げるために、A1遮光膜10と黒色顔料入りポリイミド膜11の間にシランカップリング剤を塗布する工程が追加される。

【0011】しかし、シランカップリング剤を使って、黒色顔料入りポリイミド膜11とA1遮光膜10との密着性を向上させているものの、十分ではなく、黒色顔料入りポリイミド膜11とA1遮光膜10の界面への現像液のしみ込みにより、図示するように、サイド・エッチングされる。そのサイドエッチング量 $z$ は、マスク寸法に対して $6\mu\text{m}$ から $13\mu\text{m}$ 程度にばらつきがある。

【0012】チップ(半導体基板1)とケース(レンズ付きケース17)との位置合わせに必要なとされるマーカ16の仕上がり大きさは、横 $100\mu\text{m}$ 、縦 $30\mu\text{m}$ 程度の長方形にするために、通常、マスク寸法が、横 $80\mu\text{m}$ 、縦 $10\mu\text{m}$ 程度であるマスクを用いる。そうすると、サイドエッチング量が $6\mu\text{m}$ の場合は、横 $92\mu\text{m}$ 、縦 $22\mu\text{m}$ となり、正規のマーカに対して、縦、横とも $8\mu\text{m}$ も小さくなる。一方、サイドエッチング量が $13\mu\text{m}$ の場合は、逆に $6\mu\text{m}$ 正規のマーカに対して大きくなる。このようにマーカ16の寸法に、正規寸法に対して $6\mu\text{m}$ から $8\mu\text{m}$ と大きなばらつきが生じる。そうすると、組立工程で、チップとケースの位置合わせが困難となり、位置合わせに時間がかかる。

【0013】この発明の目的は、前記の課題を解決して、寸法ばらつきが少ない位置合わせマーカが形成された半導体装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】前記の目的を達成するために、光センサ(p-nダイオード)で受光部を形成した半導体基板と、該半導体基板上に形成した絶縁膜と、該絶縁膜上に形成した遮光膜と、該遮光膜上に形成した反射防止膜と、該反射防止膜上に形成した光を吸収するポリイミド膜と、前記受光部以外の箇所の前記ポリイミド膜に形成される第1開口部と、前記第1開口部の下の反射防止膜に形成される第2開口部とを具備し、該第2開口部がケースとの位置合わせマーカとなる構成とする。

【0015】また、前記反射防止膜が、窒化チタン膜もしくは酸化銅膜であるよい。また、前記遮光膜が、A1膜もしくはA1合金膜で形成されるとよい。また、前記ポリイミド膜が黒色顔料入りポリイミド膜であるとよい。また、半導体基板上に受光部を形成する工程と、該半導体基板上に絶縁膜を形成する工程と、該絶縁膜上に遮光膜を形成する工程と、該遮光膜上に反射防止膜を形成する工程と、該反射防止膜上に光を吸収するポリイミド膜を形成する工程と、前記受光部上の前記ポリイミド膜、前記反射防止膜および前記遮光膜をそれぞれを貫通して開口する工程と、前記受光部以外の箇所の前記ポリイミド膜を開口する工程と、前記ポリイミド膜開口部下の反射防止膜と貫通して開口して、ケースとの位置合わせマーカを形成する工程を含む製造方法とする。前記反射防止膜を、前記ポリイミド膜上に形成したレジストをマスクとして、異方性エッチングで開口するとよい。

【0016】

【発明の実施の形態】図1は、この発明の第1実施例の半導体装置の要部断面図である。半導体基板1の表面層にp型ウエル層2を形成し、このp型ウエル層2の表面層に $n^+$ 層3を形成する。このp型ウエル層2と $n^+$ 層3で形成されるp-nダイオードがオートフォーカス・モジュールの光センサ部(受光部)となる。この光センサ部を形成した半導体基板1上に、図示しない他の箇所に形成されるMOSトランジスタのゲート酸化膜4を形成し、このゲート酸化膜4上に減圧CVD酸化膜5、BP SG膜6を積層し、その上に、光センサ部上が開口されるように、選択的に、配線用のA1合金膜7(またはA1膜)を形成する。その上に、プラズマ酸化膜8とプラズマ窒化膜9を積層し、接続孔31を形成し、A1遮光膜10を形成する。このA1遮光膜10は配線も兼ねる場合もある。また、A1遮光膜10はA1膜もしくはA1合金膜で形成する。尚、A1合金膜とはA1に少量のSi、Cuなどが添加された合金膜のことである。

【0017】その上に、反射防止膜である窒化チタン膜(TiN膜41)を被覆し、その上に可視光を吸収する黒色顔料入りポリイミド膜11を形成し、図示しない光センサ部上およびマーカ15を形成する箇所の上の黒色顔料入りポリイミド膜11と酸化銅膜41を開口する。その上に図21に示すように、クリアモールド樹脂13を被覆する。このクリアモールド樹脂13で被覆された

光センサチップが、レンズ付きケース17に収納されて、オートフォーカス・モジュールが完成する。尚、前記の黒色顔料入りポリイミド膜11の色は灰色でも構わない。

【0018】前記のTiN膜41を黒色顔料入りポリイミド膜11とA1遮光膜10の間に形成することで、レンズ付きケース17との位置合わせマーカ15のマスク寸法に対しての寸法ズレが1μm程度となり、寸法精度が向上し、位置合わせ時間が1割程度短縮することができた。図2から図10は、この発明の第2実施例の半導体装置の製造方法であり、工程順に示した要部製造工程断面図である。

【0019】図2に示すように、すでに図示しない光センサ部やMOSトランジスタを形成したシリコンからなる半導体基板1上のゲート酸化膜4上に、減圧CVD法により減圧CVD酸化膜5、BPSG膜6を膜厚0.6μm程度に積層形成する。つぎに、BPSG膜6上に第1の配線層となるA1合金層7を形成し、配線パターンを形成後、厚さ0.1μmのプラズマ酸化膜8を厚さ1μmのプラズマ窒化膜9をそれぞれプラズマCVD法で成膜する。その後、パターニングを行い、ドライエッチング法により接続孔31を形成する。

【0020】つぎに、図3に示すように、遮光層および配線層となるA1膜またはA1合金膜からなるA1遮光膜10をスパッタリング法により厚さ1μm成膜する。つぎに、図4に示すように、A1遮光膜10をパターニング、エッチングにより加工する。つぎに、図5に示すように、N<sub>2</sub>ガスを用いた反応性スパッタリング法により、厚さ30nmの反射防止膜である窒化チタン膜(TiN膜41)を成膜する。スパッタの条件は、例えば、成膜圧力は0.53Pa、Arガス流量45sccm、O<sub>2</sub>ガス流量105sccm、成膜温度は300℃である。

【0021】つぎに、図6に示すように、下地膜であるTiN膜41との密着性を上げるために、2-プロパノール(2-propanol)と有機系シラン化合物からなるシランカップリング剤(図示せず)を塗布し、さらに、厚さ1.8μmの黒色顔料入りポリイミド11膜を被覆する。つぎに、図7に示すように、黒色顔料入りポリイミド11膜をパターニングするため、厚さ1.5μmのポジ型レジスト21を塗布する。

【0022】つぎに、図8に示すように、現像液により、露光された部分のレジスト21を溶解して、レジストパターンを形成する。このとき、アルカリ性である現像液により、黒色顔料入りポリイミド膜11も露光部のレジストとともに、溶解される。即ち、黒色顔料入りポリイミド膜11は現像液によりウエットエッチングされる。このとき、黒色顔料入りポリイミド膜11は、6から13μmのサイドエッチング量zでサイドエッチングされる。

【0023】つぎに、図9に示すように、図8のレジストパターンをマスクとして、六フッ化硫黄SF<sub>6</sub>ガス流量50sccm、O<sub>2</sub>ガス流量20sccmの混合ガスを用いて、圧力26.7Pa、RFパワー200Wで異方性のドライエッチングを行う。異方性エッチングのために、TiN膜のサイドエッチング量xは1μm程度である。

【0024】最後に、図10に示すように、プロピレングリコールモノメチルエーテルアセテート(propylene glycol monomethyl ether acetate: CH<sub>3</sub>CH(OCOCH<sub>3</sub>)CH<sub>2</sub>OCH<sub>3</sub>)溶液によりレジストパターンを剥離する。前記のように、黒色顔料入りポリイミド膜11とA1遮光膜10との間に、窒化チタン41aを形成し、この窒化チタン膜41にマーカを形成することで、マスク寸法に対して1μm程度ズレで、寸法ばらつきが少ないマーカを得ることができる。

【0025】図11は、この発明の第3実施例の半導体装置の要部断面図である。図1との違いは、TiN膜41の代わりに酸化銅膜41aとした点である。図1と同様に、マーカ15aの正規寸法に対するズレは1μm程度である。図12から図21は、この発明の第4実施例の半導体装置の製造方法であり、工程順に示した、要部製造工程断面図である。

【0026】図12に示すように、すでに、図示しない光センサ部やMOSトランジスタを形成したシリコンからなる半導体基板1上のゲート酸化膜4上に、減圧CVD法により減圧CVD酸化膜5、BPSG膜6を膜厚0.6μm程度に積層形成する。つぎに、BPSG膜6上に第1の配線層となるA1合金層7を形成し、配線パターンを形成後、厚さ0.1μmのプラズマ酸化膜8を厚さ1μmのプラズマ窒化膜9をそれぞれプラズマCVD法で成膜する。その後、パターニングを行い、ドライエッチング法により接続孔31を形成する。

【0027】つぎに、図13に示すように、遮光層および配線層となるA1膜又はA1合金膜からなるA1遮光膜10をスパッタリング法により、厚さ1μm成膜する。つぎに、図14に示すように、A1遮光膜10をパターニング、エッチングにより加工する。つぎに、図15に示すように、O<sub>2</sub>ガスを用いた反応性スパッタリング法により、厚さ50nmの反射防止膜である酸化銅膜41aを成膜する。スパッタ成膜の条件は、例えば、成膜圧力は0.4Pa、Arガス流量30sccm、O<sub>2</sub>ガス流量1001sccm、成膜温度は200℃である。

【0028】つぎに、図16に示すように、下地膜である酸化銅膜41aとの密着性を上げるために、2-プロパノール(2-propanol)と有機系シラン化合物からなるシランカップリング剤(図示せず)を塗布し、さらに、厚さ1.8μmの黒色顔料入りポリイミド

11膜を被覆する。つぎに、図17に示すように、黒色顔料入りポリイミド11膜をパターニングするため、厚さ1.5μmのポジ型レジスト21を塗布する。

【0029】つぎに、図18に示すように、現像液により、露光された部分のレジスト21を溶解して、後でマーカ15となる箇所の上のレジスト21に開口部15bを形成する。このとき、アルカリ性である現像液により、黒色顔料入りポリイミド膜11も露光部のレジスト21と共に、溶解される。即ち、黒色顔料入りポリイミド膜11は現像液によりウェットエッチングされる。このとき、黒色顔料入りポリイミド膜11は、6から13μmのサイドエッチング量yでサイドエッチングされる。

【0030】つぎに、図19に示すように、レジスト21をマスクとして、SiCl<sub>4</sub>、Cl<sub>2</sub>、NH<sub>3</sub>の塩素系混合ガスを用いて、酸化銅膜41aにマーカ15をドライエッチングで形成する。このドライエッチングは、側壁に保護膜を形成しながら行われる異方性エッチングである。また、アンモニアNH<sub>3</sub>を使用するのは、常温で液体である四塩化ケイ素SiCl<sub>4</sub>をアンモニアガスと混合させることで、四塩化ケイ素を気体として供給するためである。

【0031】最後に、図20に示すように、プロピレングリコールモノメチルエーテルアセテート(propylene glycol monomethyl ether acetate: CH<sub>3</sub>CH(OCOCH<sub>3</sub>)CH<sub>2</sub>OCH<sub>3</sub>)溶液によりレジスト21を剥離する。前記のように、黒色顔料入りポリイミド膜11とAl遮光膜10との間に、酸化銅膜41aを形成し、この酸化銅膜41aにマーカ15を形成することで、マスク寸法(正規寸法)に対して1μm程度のズレで、つまり、サイドエッチング量yが1μm程度であり、寸法ばらつきが少ないマーカ15を得ることができる。

【0032】尚、前記の反射防止膜は、可視光を吸収する膜であればよい。この反射防止膜の開口部がマーカ部となり、開口部のAl遮光膜からのみ可視光が反射し、開口部の周囲にある反射防止膜からは可視光が反射しないので、くっきりとマーカが見えるようになる。

【0033】

【発明の効果】この発明によれば、黒色顔料入りポリイミド膜とAl遮光膜の間に、反射防止膜である窒化チタン膜または酸化銅膜を形成し、この反射防止膜に、チップとケースとの位置合わせマークを形成することで、寸法ばらつきが少ないマーカが形成できる。

【図面の簡単な説明】

【図1】この発明の第1実施例の半導体装置の要部断面図

【図2】この発明の第2実施例の半導体装置の要部製造工程断面図

【図3】図2に続く、この発明の第2実施例の半導体装

置の要部製造工程断面図

【図4】図3に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図5】図4に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図6】図5に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図7】図6に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

10 【図8】図7に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図9】図8に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図10】図9に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図11】この発明の第3実施例の半導体装置の要部断面図

【図12】図11に続く、この発明の第4実施例の半導体装置の要部製造工程断面図

20 【図13】図12に続く、この発明の第4実施例の半導体装置の要部製造工程断面図

【図14】図13に続く、この発明の第4実施例の半導体装置の要部製造工程断面図

【図15】図14に続く、この発明の第4実施例の半導体装置の要部製造工程断面図

【図16】図15に続く、この発明の第4実施例の半導体装置の要部製造工程断面図

【図17】図15に続く、この発明の第4実施例の半導体装置の要部製造工程断面図

30 【図18】図17に続く、この発明の第4実施例の半導体装置の要部製造工程断面図

【図19】図18に続く、この発明の第4実施例の半導体装置の要部製造工程断面図

【図20】図19に続く、この発明の第4実施例の半導体装置の要部製造工程断面図

【図21】従来の半導体装置の要部断面図

【図22】黒色顔料入りポリイミド膜に位置合わせマーカを形成する様子を示す図

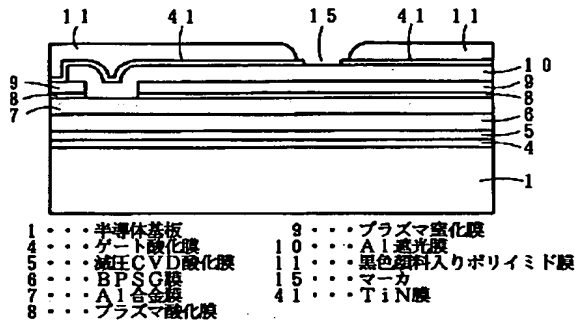
【符号の説明】

- |    |    |                  |
|----|----|------------------|
| 40 | 1  | 半導体基板            |
|    | 2  | p型ウエル層           |
|    | 3  | n <sup>+</sup> 層 |
|    | 4  | ゲート酸化膜           |
|    | 5  | 減圧CVD法           |
|    | 6  | BPSG膜            |
|    | 7  | Al合金膜            |
|    | 8  | プラズマ酸化膜          |
|    | 9  | プラズマ窒化膜          |
|    | 10 | Al遮光膜            |
| 50 | 11 | 黒色顔料入りポリイミド膜     |

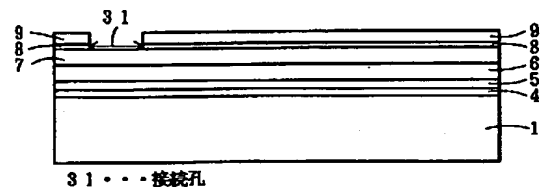
- 12、15b 開口部  
13 クリア・モールド樹脂  
15、15a、16 マーカ  
17 レンズ付きケース  
18 レンズ

- 21 レジスト  
31 接続孔  
41 窒化チタン膜  
41a 酸化銅膜  
x、y、z サイドエッチング量

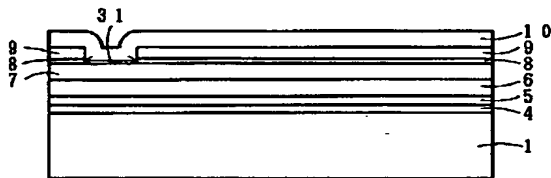
【図1】



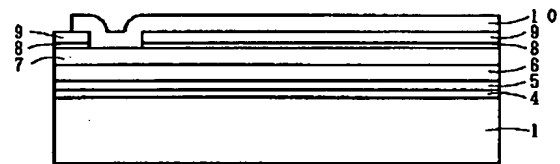
【図2】



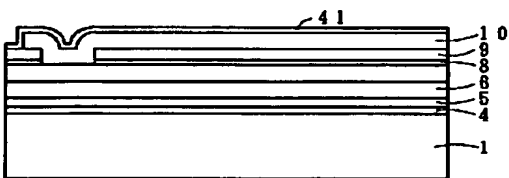
【図3】



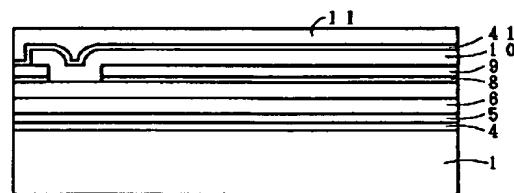
【図4】



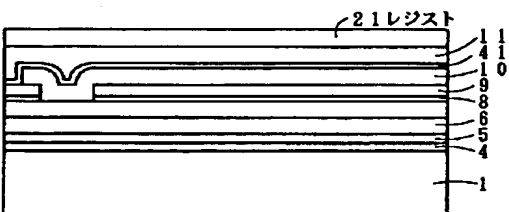
【図5】



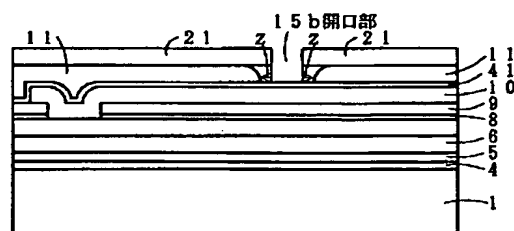
【図6】



【図7】

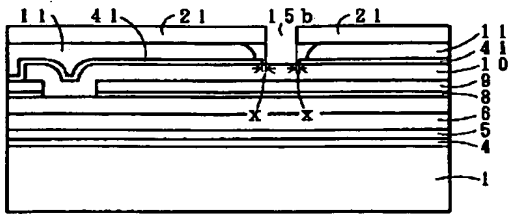


【図8】

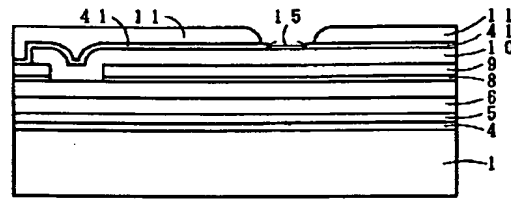




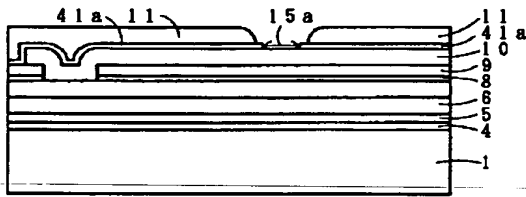
【図9】



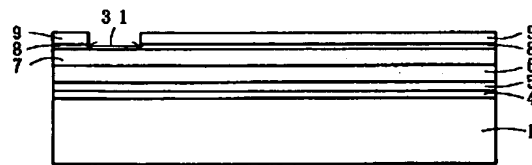
【図10】



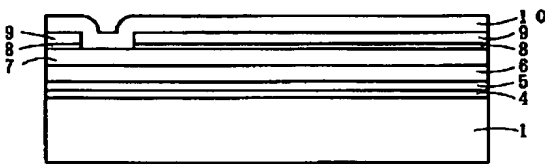
【図11】



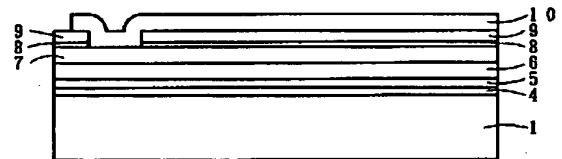
【図12】



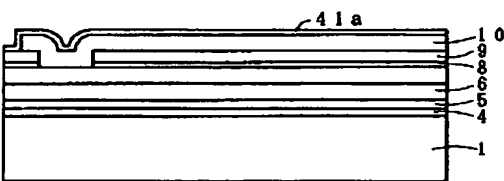
【図13】



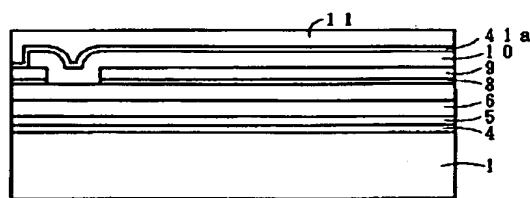
【図14】



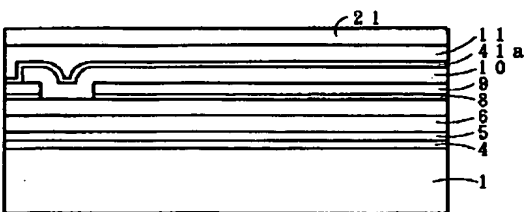
【図15】



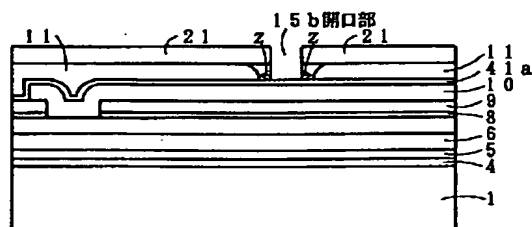
【図16】



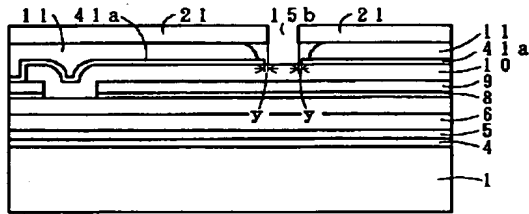
【図17】



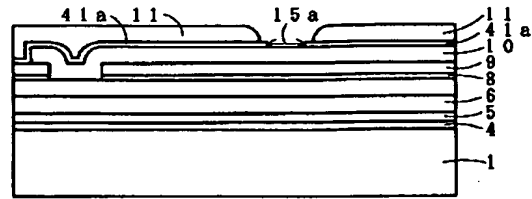
【図18】



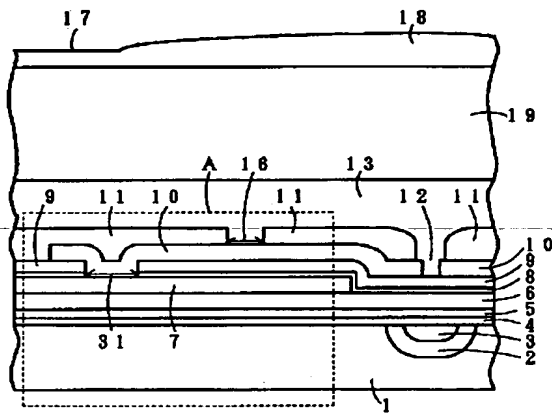
【図 19】



【図 20】



【図 21】



【図 22】

